

SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME, AND SEMICONDUCTOR MOUNTING STRUCTURE

Patent Number: JP2003347503

Publication date: 2003-12-05

Inventor(s): TAKAHASHI TOSHIYUKI

Applicant(s): HITACHI LTD.; AKITA DENSHI SYSTEMS:KK

Requested Patent: JP2003347503

Application
Number: JP20020156537 20020530

Priority Number
(s):

IPC Classification: H01L25/065; H01L21/60; H01L23/467; H01L23/473; H01L25/07; H01L25/18; H05K1/02;
H05K1/14; H05K1/18

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To prevent a signal delay due to a wiring length and improve a heat radiation efficiency, in a semiconductor device or semiconductor module which is constructed into a three-dimensional structure by folding up a flexible wiring board.

SOLUTION: The semiconductor device or semiconductor module comprises the flexible wiring board which has bending sections and has a first principal plane (front principal plane) that can be mounted with a plurality of semiconductor chips at prescribed intervals; and at least one set of laminates composed of stacked semiconductor chips adjacent each other and mounted on the first principal plane (front principal plane) of the flexible wiring board, which is formed as a result of folding up the flexible wiring board at the bending sections, with wirings of the same function of the laminates being electrically connected by short cut wiring boards.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-347503

(P2003-347503A)

(43)公開日 平成15年12月5日 (2003.12.5)

(51)Int.Cl.⁷

H 01 L 25/065

21/60

識別記号

3 1 1

F I

H 01 L 21/60

テ-マコ-ト⁸(参考)

3 1 1 R 5 E 3 3 6

3 1 1 W 5 E 3 3 8

H 05 K 1/02

B 5 E 3 4 4

1/14

C 5 F 0 3 6

1/18

S 5 F 0 4 4

審査請求 未請求 請求項の数16 O L (全 17 頁) 最終頁に続く

(21)出願番号

特願2002-156537(P2002-156537)

(22)出願日

平成14年5月30日 (2002.5.30)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000100997

株式会社アキタ電子システムズ

秋田県河辺郡雄和町相川字後野85番地

(72)発明者 高橋 敏幸

秋田県河辺郡雄和町相川字後野85番地 株

式会社アキタ電子システムズ内

(74)代理人 100083552

弁理士 秋田 収喜

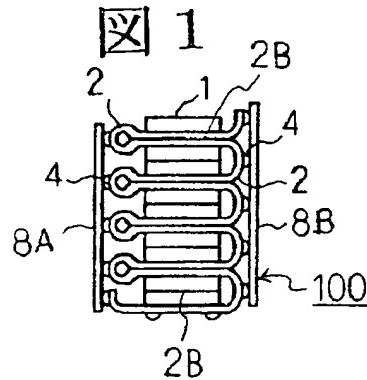
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法並びに半導体実装方法

(57)【要約】

【課題】 可撓性配線基板を折り畳んで立体構造(三次元)にした半導体装置もしくは半導体モジュールにおいて、配線長による信号遅延を防止する。放熱効率を向上する。

【解決手段】 折り曲げ部を有し、複数の半導体チップが第1主面(表正面)に所定の間隔で搭載可能な可撓性配線基板と、該可撓性配線基板の前記折り曲部で折り曲げられて前記可撓性配線基板の第1主面(表正面)に搭載された隣合せの半導体チップが重ね合わされた少なくとも1組の積層体と、該積層体の同一機能の配線をショートカット配線基板で電気的に接続した半導体装置もしくは半導体モジュールである。



【特許請求の範囲】

【請求項1】 折り曲げ部を有し、複数の半導体チップが第1主面に所定の間隔で搭載可能な可撓性配線基板と、該可撓性配線基板の前記折り曲げ部で折り曲げられて前記可撓性配線基板の第1主面上に搭載された隣合せの半導体チップが重ね合わされた少なくとも1組の積層体と、該積層体の同一機能の配線を電気的に接続するショートカット配線基板とを備えたことを特徴する半導体装置。

【請求項2】 折り曲げ部を有し、複数の半導体チップが第1主面に所定の間隔で搭載可能な可撓性配線基板と、該可撓性配線基板の前記折り曲げ部で折り曲げられて前記可撓性配線基板の第1主面上に搭載された隣合せの半導体チップが重ね合わされた少なくとも1組の積層体と、該積層体の同一機能の配線を電気的に接続するショートカット配線基板と、前記可撓性配線基板の第2主面上に設けられた前記積層体の同一機能の配線の共通端子と、該共通端子と実装基板の配線ランドとを電気的に接続する手段とを備えたことを特徴する半導体装置。

【請求項3】 折り曲げ部を有し、該折り曲げ部で折り曲げられると、その第1主面上に搭載される隣合せの半導体チップが重ね合わされる位置に少なくとも1組の半導体チップ積層体に対応する半導体チップ搭載用ランドを有する可撓性配線基板を用意する工程と、前記複数組の半導体チップ搭載用ランドと半導体チップの外部電極（パッド）とを電気的に接続し、該電気的接続部を封止材で封止して可撓性配線基板上に半導体チップを搭載する工程と、前記可撓性配線基板の前記折り曲げ部で折り曲げて前記可撓性配線基板の第1主面上に搭載された隣合せの半導体チップを重ね合わされて積層する工程と、前記積層体の同一機能の配線をショートカット配線基板で電気的に接続する工程とを備えたことを特徴する半導体装置の製造方法。

【請求項4】 折り曲げ部を有し、該折り曲げ部で折り曲げられると、その第1主面上に搭載される隣合せの半導体チップが重ね合わされる位置に少なくとも1組の半導体チップ積層体に対応する半導体チップ搭載用ランドを有し、前記可撓性配線基板の第2主面上に設けられた前記積層体の同一機能の配線の共通端子とを有する可撓性配線基板を用意する工程と、前記複数組の半導体チップ搭載用ランドと半導体チップの外部電極（パッド）とを電気的に接続する工程と、該電気的接続部を封止材で封止して可撓性配線基板上に半導体チップを搭載する工程と、前記可撓性配線基板の前記折り曲げ部で折り曲げて前記可撓性配線基板の第1主面上に搭載された隣合せの半導体チップを重ね合わされて積層する工程と、前記積層体の同一機能の配線をショートカット配線基板で電気的に接続する工程と、前記共通端子と実装基板の配線ランドとを電気的に接続する手段とを備えたことを特徴する半導体装置の製造方法。

【請求項5】 折り曲げ部を有し、複数の半導体チップが第1主面上に所定の間隔で搭載可能な可撓性配線基板と、該可撓性配線基板の前記折り曲げ部で折り曲げられて前記可撓性配線基板の第1主面上に搭載された隣合せの半導体チップが重ね合わされた少なくとも1組の積層体と、該積層体の同一機能の配線のショートカット用配線同志を電気的に接続した接続部とを備えたことを特徴する半導体装置。

【請求項6】 折り曲げ部を有し、複数の半導体チップが第1主面上に所定の間隔で搭載可能な可撓性配線基板と、該可撓性配線基板の前記折り曲げ部で折り曲げられて前記可撓性配線基板の第1主面上に搭載された隣合せの半導体チップが重ね合わされた少なくとも1組の積層体と、該積層体の同一機能の配線のショートカット用配線同志を電気的に接続した接続部と、前記可撓性配線基板の第2主面上に設けられた前記積層体の同一機能の配線の共通端子と、該共通端子と実装基板の配線ランドとを電気的に接続する手段とを備えたことを特徴する半導体装置。

【請求項7】 折り曲げ部を有し、該折り曲げ部で折り曲げられると、その第1主面上に搭載される隣合せの半導体チップが重ね合わされる位置に少なくとも1組の半導体チップ積層体に対応する半導体チップ搭載用ランドと、前記積層体の同一機能の配線をショートカットするショートカット用配線接続部を有する可撓性配線基板を用意する工程と、前記複数組の半導体チップ搭載用ランドと半導体チップの外部電極（パッド）とを電気的に接続し、該電気的接続部を封止材で封止して可撓性配線基板上に半導体チップを搭載する工程と、前記可撓性配線基板の前記折り曲げ部で折り曲げて前記可撓性配線基板の第1主面上に搭載された隣合せの半導体チップを重ね合わされて積層する工程と、前記積層体の同一機能の配線のショートカット用配線同志を電気的に接続する工程とを備えたことを特徴する半導体装置の製造方法。

【請求項8】 折り曲げ部を有し、該折り曲げ部で折り曲げられると、その第1主面上に搭載される隣合せの半導体チップが重ね合わされる位置に少なくとも1組の半導体チップ積層体に対応する半導体チップ搭載用ランドを有し、前記可撓性配線基板の第2主面上に設けられた前記積層体の同一機能の配線の共通端子とを有する可撓性配線基板を用意する工程と、前記複数組の半導体チップ搭載用ランドと半導体チップの外部電極（パッド）とを電気的に接続し、該電気的接続部を封止材で封止して可撓性配線基板上に半導体チップを搭載する工程と、前記可撓性配線基板の前記折り曲げ部で折り曲げて前記可撓性配線基板の第1主面上に搭載された隣合せの半導体チップを重ね合わされて積層する工程と、前記積層体の同一機能の配線をショートカットするショートカット用配線を電気的に接続する工程と、前記積層体の同一機能の配線の共通端子と実装基板の配線ランドとを電気的に接続する手段とを備えたことを特徴する半導体装置。

る工程とを備えたことを特徴する半導体装置の製造方法。

【請求項9】 四つ折り曲げ部を有し、複数の半導体チップが第1主面に所定の間隔で搭載可能な可撓性配線基板と、該可撓性配線基板の前記四つ折り曲げ部で折り曲げられて前記可撓性配線基板の第1主面に搭載された半導体チップが重ね合わされた少なくとも1組の積層体と、該積層体の同一機能の配線のショートカット用配線同志を電気的に接続した接続部とを備えたことを特徴する半導体装置。

【請求項10】 四つ折り曲げ部を有し、複数の半導体チップが第1主面に所定の間隔で搭載可能な可撓性配線基板と、該可撓性配線基板の前記四つ折り曲げ部で折り曲げられて前記可撓性配線基板の第1主面に搭載された半導体チップが重ね合わされた少なくとも1組の積層体と、該積層体の同一機能の配線のショートカット用配線同志を電気的に接続した接続部と、前記可撓性配線基板の第2主面に設けられた前記積層体の同一機能の配線の共通端子と、該共通端子と実装基板のランドとを電気的に接続する手段とを備えたことを特徴する半導体装置。

【請求項11】 四つ折り曲げ部を有し、該四つ折り曲げ部で折り曲げられると、その第1主面に搭載される半導体チップが重ね合わされる位置に少なくとも1組の半導体チップ積層体に対応する半導体チップ搭載用ランドと、前記積層体の同一機能の配線をショートカットするショートカット用配線接続部を有する可撓性配線基板を用意する工程と、前記複数組の半導体チップ搭載用ランドと半導体チップの外部電極(パッド)とを電気的に接続し、該電気的接続部を封止材で封止して可撓性配線基板上に半導体チップを搭載する工程と、前記可撓性配線基板の前記四つ折り曲げ部で折り曲げて前記可撓性配線基板の第1主面に搭載された半導体チップを重ね合わせて積層する工程と、前記積層体の同一機能の配線のショートカット用配線同志を電気的に接続する工程とを備えたことを特徴する半導体装置の製造方法。

【請求項12】 四つ折り曲げ部を有し、四つ折り曲げ部で折り曲げられると、その第1主面に搭載される隣合せの半導体チップが重ね合わされる位置に少なくとも1組の半導体チップ積層体に対応する半導体チップ搭載用ランドを有し、前記可撓性配線基板の第2主面に形成された前記積層体の同一機能の配線の共通端子を有する可撓性配線基板を用意する工程と、前記複数組の半導体チップ搭載用ランドと半導体チップの外部電極(パッド)とを電気的に接続する工程と、前記電気的接続部を封止材で封止して可撓性配線基板上に半導体チップを搭載する工程と、前記可撓性配線基板の前記折り曲げ部で折り曲げて前記可撓性配線基板の第1主面に搭載された隣合せの半導体チップを重ね合わせて積層する工程と、前記積層体の同一機能の配線をショートカットするショートカット用配線同志を電気的に接続する工程と、前記積層体

の同一機能の配線の共通端子と実装基板のランドとを電気的に接続する工程とを備えたことを特徴する半導体装置の製造方法。

【請求項13】 四つ折り曲げ部または折り曲げ部を有し、複数の半導体チップが第1主面に所定の間隔で搭載可能な可撓性配線基板と、該可撓性配線基板の前記四つ折り曲げ部または折り曲げ部で折り曲げられて前記可撓性配線基板の第1主面に搭載された半導体チップが重ね合わされた少なくとも1組の積層体と、該積層体の同一機能の配線のショートカット用配線同志を電気的に接続した半導体装置であって、前記半導体チップが重ね合わされた積層体間に冷却路を設けたことを特徴とする半導体装置。

【請求項14】 四つ折り曲げ部または折り曲げ部を有し、複数の半導体チップが第1主面に所定の間隔で搭載可能な可撓性配線基板と、該可撓性配線基板の前記四つ折り曲げ部または折り曲げ部で折り曲げられて前記可撓性配線基板の第1主面に搭載された半導体チップが重ね合わされた少なくとも1組の積層体と、該積層体の同一機能の配線のショートカット用配線ランド同志を電気的に接続し、前記積層体の同一機能の配線の共通端子と実装基板のランドとを電気的に接続した半導体装置であって、前記半導体チップが重ね合わされた積層体間に冷却路を設け、前記可撓性配線基板の第2主面に前記積層体の同一機能の配線の共通端子を設け、該共通端子と実装基板の配線ランドとを電気的に接続したことを特徴とする半導体装置。

【請求項15】 四つ折り曲げ部または折り曲げ部を有し、該四つ折り曲げ部または折り曲げ部で折り曲げられると、その第1主面に搭載される半導体チップが重ね合わされる位置に少なくとも1組の半導体チップ積層体に対応する半導体チップ搭載用ランドと、前記積層体の同一機能の配線をショートカットするショートカット用配線接続部を有する可撓性配線基板を用意する工程と、前記複数組の半導体チップ搭載用ランドと半導体チップの外部電極(パッド)とを電気的に接続し、該電気的接続部を封止材で封止して可撓性配線基板上に半導体チップを搭載する工程と、前記可撓性配線基板の前記四つ折り曲げ部または折り曲げ部で折り曲げて前記可撓性配線基板の第1主面に搭載された半導体チップを重ね合わせて積層する工程と、前記半導体チップが重ね合わされた積層体間に熱伝導性接着テープと熱吸収パッドで冷却路を形成する工程と、前記積層体の同一機能の配線のショートカット用配線同志を電気的に接続する工程とを備えたことを特徴する半導体装置の製造方法。

【請求項16】 四つ折り曲げ部または折り曲げ部を有し、四つ折り曲げ部で折り曲げられると、その第1主面に搭載される隣合せの半導体チップが重ね合わされる位置に少なくとも1組の半導体チップ積層体に対応する半導体チップ搭載用ランドを有し、前記可撓性配線基板の

第2主面に設けられた前記積層体の同一機能の配線の共通端子を有する可撓性配線基板を用意する工程と、前記複数組の半導体チップ搭載用ランドと半導体チップの外部電極（パッド）とを電気的に接続し、該電気的接続部を封止材で封止して可撓性配線基板上に半導体チップを搭載する工程と、前記可撓性配線基板の前記折り曲げ部で折り曲げて前記可撓性配線基板の第1主面に搭載された隣合せの半導体チップを重ね合わせて積層する工程と、前記半導体チップが重ね合わされた積層体間に熱伝導性接着テープと熱吸収パッドで冷却路を形成する工程と、前記積層体の同一機能の配線をショートカットするショートカット用配線を電気的に接続する工程と、前記積層体の同一機能の配線の共通端子と実装基板のランドとを電気的に接続する工程とを備えたことを特徴する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、面実装型半導体装置もしくは半導体モジュール及びその製造方法に関し、特に、可撓性配線基板（フレキシブル配線基板）またはリードフレーム上に複数の半導体チップを搭載し、隣り合わせた半導体チップもしくは前記搭載された半導体チップを背中合わせにして重ね合せ、積層する技術に適用して有効な技術に関するものである。

【0002】

【従来の技術】従来の小型化・高集積化を図る構造の半導体装置として、例えば、特開平9-181215号公報に記載されるように、可撓性配線基板（フレキシブル配線基板）の重疊部に半導体チップを組み込んだ封止体を有するとともに、可撓性配線基板の半導体チップ実装用外部端子（半導体チップ実装用ランド）が設けられた面の反対側面にも半導体チップを組み込んだパッケージ（封止体）を配置したものが提案されている（図22～24参照）。

【0003】

【発明が解決しようとする課題】本発明者は、前記の従来技術を検討した結果、以下の問題点を見いだした。前記従来技術では、構造的には立体構造（三次元）で実装面積の小型化や高集積化が可能であるが、基板的には平面状（二次元）の基板を折り畳んだだけなので配線長は、通常の平面基板と変わらないため、配線長による信号遅延の問題があった。また、狭い空間に多数の半導体チップ（ICチップ）等を積層したパッケージのため内部の熱が逃げにくく、動作不良等の問題があった。また、BGA（Ball Grid Array）の半田ボール端子はリード端子と違い変形できないため、実装基板の変形や膨張によってクラック破断を起すという問題があった。

【0004】本発明の目的は、基板を折り畳んで立体構造（三次元）にした半導体装置もしくは半導体モジュールにおいて、配線による信号遅延を防止することが可能な技術を提供することにある。本発明の他の目的は、基板を折り畳んで立体構造（三次元）にした半導体装置もしくは半導体モジュールにおいて、放熱効率を向上することが可能な技術を提供することにある。本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

能な技術を提供することにある。本発明の他の目的は、基板を折り畳んで立体構造（三次元）にした半導体装置もしくは半導体モジュールにおいて、放熱効率を向上することが可能な技術を提供することにある。本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0005】

【課題を解決するための手段】本願において開示される発明の概要を簡単に説明すれば、以下のとおりである。第1の発明は、折り曲げ部を有し、複数の半導体チップが第1主面（表主面）に所定の間隔で搭載可能な可撓性配線基板と、該可撓性配線基板の前記折り曲げ部で折り曲げられて前記可撓性配線基板の第1主面（表主面）に搭載された隣合せの半導体チップが重ね合わされた少なくとも1組の積層体と、該積層体の同一機能の配線を電気的に接続するショートカット配線基板とを備えた半導体装置である。

【0006】第2の発明は、折り曲げ部を有し、複数の半導体チップが第1主面（表主面）に所定の間隔で搭載可能な可撓性配線基板と、該可撓性配線基板の前記折り曲げ部で折り曲げられて前記可撓性配線基板の第1主面（表主面）に搭載された隣合せの半導体チップが重ね合わされた少なくとも1組の積層体と、該積層体の同一機能の配線を電気的に接続するショートカット配線基板と、前記可撓性配線基板の第2主面（裏主面）に設けられた前記積層体の同一機能の配線の共通端子と、該共通端子と実装基板の配線ランドとを電気的に接続する手段とを備えた半導体装置である。

【0007】第3の発明は、折り曲げ部を有し、該折り曲げ部で折り曲げられると、その第1主面（表主面）に搭載される隣合せの半導体チップが重ね合わされる位置に少なくとも1組の半導体チップ積層体に対応する半導体チップ搭載用ランドを有する可撓性配線基板を用意する工程と、前記複数組の半導体チップ搭載用ランドと半導体チップの外部電極（パッド）とを電気的に接続し、該電気的接続部を封止材で封止して可撓性配線基板上に半導体チップを搭載する工程と、前記可撓性配線基板の前記折り曲げ部で折り曲げて前記可撓性配線基板の第1主面（表主面）に搭載された隣合せの半導体チップを重ね合わせて積層する工程と、前記積層体の同一機能の配線をショートカット配線基板で電気的に接続する工程とを備えた半導体装置の製造方法である。

【0008】第4の発明は、折り曲げ部を有し、該折り曲げ部で折り曲げられると、その第1主面（表主面）に搭載される隣合せの半導体チップが重ね合わされる位置に少なくとも1組の半導体チップ積層体に対応する半導体チップ搭載用ランドを有し、前記可撓性配線基板の第2主面（裏主面）に設けられた前記積層体の同一機能の配線の共通端子とを有する可撓性配線基板を用意する工程と、前記複数組の半導体チップ搭載用ランドと半導体チップの外部電極（パッド）とを電気的に接続し、該電気的接続部を封止材で封止して可撓性配線基板上に半導体チップを搭載する工程と、前記可撓性配線基板の前記折り曲げ部で折り曲げて前記可撓性配線基板の第1主面（表主面）に搭載された隣合せの半導体チップを重ね合わせて積層する工程と、前記積層体の同一機能の配線をショートカット配線基板で電気的に接続する工程とを備えた半導体装置の製造方法である。

チップの外部電極（パッド）とを電気的に接続する工程と、該電気的接続部を封止材で封止して可撓性配線基板上に半導体チップを搭載する工程と、前記可撓性配線基板の前記折り曲げ部で折り曲げて前記可撓性配線基板の第1主面（表主面）に搭載された隣合せの半導体チップを重ね合わされて積層する工程と、前記積層体の同一機能の配線をショートカット配線基板で電気的に接続する工程と、前記共通端子と実装基板の配線ランドとを電気的に接続する工程とを備えた半導体装置の製造方法である。

【0009】第5の発明は、折り曲げ部を有し、複数の半導体チップが第1主面（表主面）に所定の間隔で搭載可能な可撓性配線基板と、該可撓性配線基板の前記折り曲げ部で折り曲げられて前記可撓性配線基板の第1主面（表主面）に搭載された隣合せの半導体チップが重ね合わされた少なくとも1組の積層体と、該積層体の同一機能の配線のショートカット用配線同志を電気的に接続した接続部とを備えた半導体装置である。

【0010】第6の発明は、折り曲げ部を有し、複数の半導体チップが第1主面（表主面）に所定の間隔で搭載可能な可撓性配線基板と、該可撓性配線基板の前記折り曲げ部で折り曲げられて前記可撓性配線基板の第1主面（表主面）に搭載された隣合せの半導体チップが重ね合わされた少なくとも1組の積層体と、該積層体の同一機能の配線のショートカット用配線同志を電気的に接続した接続部と、前記可撓性配線基板の第2主面（裏主面）に設けられた前記積層体の同一機能の配線の共通端子と、該共通端子と実装基板の配線ランドとを電気的に接続する手段とを備えた半導体装置である。

【0011】第7の発明は、折り曲げ部を有し、該折り曲げ部で折り曲げられると、その第1主面（表主面）に搭載される隣合せの半導体チップが重ね合わされる位置に少なくとも1組の半導体チップ積層体に対応する半導体チップ搭載用ランドと、前記積層体の同一機能の配線をショートカットするショートカット用配線接続部を有する可撓性配線基板を用意する工程と、前記複数組の半導体チップ搭載用ランドと半導体チップの外部電極（パッド）とを電気的に接続し、該電気的接続部を封止材で封止して可撓性配線基板上に半導体チップを搭載する工程と、前記可撓性配線基板の前記折り曲げ部で折り曲げて前記可撓性配線基板の第1主面（表主面）に搭載された隣合せの半導体チップを重ね合わされて積層する工程と、前記積層体の同一機能の配線のショートカット用配線同志を電気的に接続する工程とを備えた半導体装置の製造方法である。

【0012】第8の発明は、折り曲げ部を有し、該折り曲げ部で折り曲げられると、その第1主面（表主面）に搭載される隣合せの半導体チップが重ね合わされる位置に少なくとも1組の半導体チップ積層体に対応する半導体チップ搭載用ランドを有し、前記可撓性配線基板の第1主面（表主面）に設けられた前記積層体の同一機能の配線の共通端子と、該共通端子と実装基板の配線ランドとを電気的に接続する手段とを備えた半導体装置の製造方法である。

2主面（裏主面）に設けられた前記積層体の同一機能の配線の共通端子とを有する可撓性配線基板を用意する工程と、前記複数組の半導体チップ搭載用ランドと半導体チップの外部電極（パッド）とを電気的に接続し、該電気的接続部を封止材で封止して可撓性配線基板上に半導体チップを搭載する工程と、前記可撓性配線基板の前記折り曲げ部で折り曲げて前記可撓性配線基板の第1主面（表主面）に搭載された隣合せの半導体チップを重ね合わされて積層する工程と、前記積層体の同一機能の配線をショートカットするショートカット用配線を電気的に接続する工程と、前記積層体の同一機能の配線の共通端子と実装基板の配線ランドとを電気的に接続する工程とを備えた半導体装置の製造方法である。

【0013】第9の発明は、四つ折り曲げ部を有し、複数の半導体チップが第1主面（表主面）に所定の間隔で搭載可能な可撓性配線基板と、該可撓性配線基板の前記四つ折り曲げ部で折り曲げられて前記可撓性配線基板の第1主面（表主面）に搭載された半導体チップが重ね合わされた少なくとも1組の積層体と、該積層体の同一機能の配線のショートカット用配線同志を電気的に接続した接続部とを備えた半導体装置である。

【0014】第10の発明は、四つ折り曲げ部を有し、複数の半導体チップが第1主面（表主面）に所定の間隔で搭載可能な可撓性配線基板と、該可撓性配線基板の前記四つ折り曲げ部で折り曲げられて前記可撓性配線基板の第1主面（表主面）に搭載された半導体チップが重ね合わされた少なくとも1組の積層体と、該積層体の同一機能の配線のショートカット用配線同志を電気的に接続した接続部と、前記可撓性配線基板の第2主面（裏主面）に設けられた前記積層体の同一機能の配線の共通端子と、該共通端子と実装基板の配線ランドとを電気的に接続する手段とを備えた半導体装置である。

【0015】第11の発明は、四つ折り曲げ部を有し、該四つ折り曲げ部で折り曲げられると、その第1主面（表主面）に搭載される半導体チップが重ね合わされる位置に少なくとも1組の半導体チップ積層体に対応する半導体チップ搭載用ランドと、前記積層体の同一機能の配線をショートカットするショートカット用配線接続部を有する可撓性配線基板を用意する工程と、前記複数組の半導体チップ搭載用ランドと半導体チップの外部電極（パッド）とを電気的に接続し、該電気的接続部を封止材で封止して可撓性配線基板上に半導体チップを搭載する工程と、前記可撓性配線基板の前記四つ折り曲げ部で折り曲げて前記可撓性配線基板の第1主面（表主面）に搭載された半導体チップを重ね合わされて積層する工程と、前記積層体の同一機能の配線のショートカット用配線同志を電気的に接続する工程とを備えた半導体装置の製造方法である。

【0016】第12の発明は、四つ折り曲げ部を有し、四つ折り曲げ部で折り曲げられると、その第1主面（表

主面)に搭載される隣合せの半導体チップが重ね合わされる位置に少なくとも1組の半導体チップ積層体に対応する半導体チップ搭載用ランドを有し、前記可撓性配線基板の第2主面(裏主面)に形成された前記積層体の同一機能の配線の共通端子を有する可撓性配線基板を用意する工程と、前記複数組の半導体チップ搭載用ランドと半導体チップの外部電極(パッド)とを電気的に接続する工程と、前記電気的接続部を封止材で封止して可撓性配線基板上に半導体チップを搭載する工程と、前記可撓性配線基板の前記折り曲げ部で折り曲げて前記可撓性配線基板の第1主面(表主面)に搭載された隣合せの半導体チップを重ね合わせて積層する工程と、前記積層体の同一機能の配線をショートカットするショートカット用配線を電気的に接続する工程と、前記積層体の同一機能の配線の共通端子と実装基板のランドとを電気的に接続する工程とを備えた半導体装置の製造方法である。

【0017】第13の発明は、四つ折り曲げ部または折り曲げ部を有し、複数の半導体チップが第1主面(表主面)に所定の間隔で搭載可能な可撓性配線基板と、該可撓性配線基板の前記四つ折り曲げ部または折り曲げ部で折り曲げられて前記可撓性配線基板の第1主面(表主面)に搭載された半導体チップが重ね合わされた少なくとも1組の積層体と、該積層体の同一機能の配線のショートカット用配線同志を電気的に接続した半導体装置であって、前記半導体チップが重ね合わされた積層体間に冷却路を設けた半導体装置である。

【0018】第14の発明は、四つ折り曲げ部または折り曲げ部を有し、複数の半導体チップが第1主面(表主面)に所定の間隔で搭載可能な可撓性配線基板と、該可撓性配線基板の前記四つ折り曲げ部または折り曲げ部で折り曲げられて前記可撓性配線基板の第1主面(表主面)に搭載された半導体チップが重ね合わされた少なくとも1組の積層体と、該積層体の同一機能の配線のショートカット用配線ランド同志を電気的に接続し、前記積層体の同一機能の配線の共通端子と実装基板のランドとを電気的に接続した半導体装置であって、前記半導体チップが重ね合わされた積層体間に冷却路を設け、前記可撓性配線基板の第2主面(裏主面)に前記積層体の同一機能の配線の共通端子を設け、該共通端子と実装基板の配線ランドとを電気的に接続した半導体装置である。

【0019】第15の発明は、四つ折り曲げ部または折り曲げ部を有し、該四つ折り曲げ部または折り曲げ部で折り曲げられると、その第1主面(表主面)に搭載される半導体チップが重ね合わされる位置に少なくとも1組の半導体チップ積層体に対応する半導体チップ搭載用ランドと、前記積層体の同一機能の配線をショートカットするショートカット用配線接続部を有する可撓性配線基板を用意する工程と、前記複数組の半導体チップ搭載用ランドと半導体チップの外部電極(パッド)とを電気的に接続し、該電気的接続部を封止材で封止して可撓性配

線基板上に半導体チップを搭載する工程と、前記可撓性配線基板の前記四つ折り曲げ部または折り曲げ部で折り曲げて前記可撓性配線基板の第1主面(表主面)に搭載された半導体チップが重ね合わされて積層する工程と、前記半導体チップが重ね合わされた積層体間に熱伝導性接着テープと熱吸収パッドで冷却路を形成する工程と、前記積層体の同一機能の配線のショートカット用配線同志を電気的に接続する工程とを備えた半導体装置の製造方法である。

【0020】第16の発明は、四つ折り曲げ部または折り曲げ部を有し、四つ折り曲げ部で折り曲げられると、その第1主面(表主面)に搭載される隣合せの半導体チップが重ね合わされる位置に少なくとも1組の半導体チップ積層体に対応する半導体チップ搭載用ランドを有し、前記可撓性配線基板の第2主面(裏主面)に設けられた前記積層体の同一機能の配線の共通端子を有する可撓性配線基板を用意する工程と、前記複数組の半導体チップ搭載用ランドと半導体チップの外部電極(パッド)とを電気的に接続し、該電気的接続部を封止材で封止して可撓性配線基板上に半導体チップを搭載する工程と、前記可撓性配線基板の前記折り曲げ部で折り曲げて前記可撓性配線基板の第1主面(表主面)に搭載された隣合せの半導体チップを重ね合わされて積層する工程と、前記半導体チップが重ね合わされた積層体間に熱伝導性接着テープと熱吸収パッドで冷却路を形成する工程と、前記積層体の同一機能の配線をショートカットするショートカット用配線を電気的に接続する工程と、前記積層体の同一機能の配線の共通端子と実装基板のランドとを電気的に接続する工程とを備えた半導体装置の製造方法である。

【0021】

【発明の実施の形態】以下、本発明について、図面を参照して実施の形態(実施例)とともに詳細に説明する。なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0022】(実施例1) 図1は本発明の実施例1の半導体装置の概要構成を示す正面図であり、図2は本実施例1の半導体装置を実装基板に実装した正面図である。本実施例1の半導体装置は、図1に示すように、折り曲げ部を有する可撓性配線基板2の表主面(第1主面)に所定の間隔で複数の半導体チップ(1Cチップ)1が搭載され、前記可撓性配線基板2の前記折り曲げ部で折り曲げられて、前記可撓性配線基板2の表主面に搭載された隣合せの半導体チップ1が背中合わせに重ね合わされ、接着材(又は接着テープ)2Bで固定される。さらに、前記可撓性配線基板2の前記折り曲げ部2Aで折り曲げられて、次の1組の積層体が積層される。このようにして複数組の積層体が構成される。該複数組の積層体の前記各積層体の同一機能の配線をショートカット用配

基板8で電気的に接続して前記可撓性配線基板2の配線長をショートカットする。前記可撓性配線基板2の厚さは、例えば、 $75\mu\text{m}$ 、Cu配線の厚さは $35\mu\text{m}$ である。

【0023】図2に示すように、本実施例1の半導体装置100は、前記可撓性配線基板2の裏正面（第2正面）に設けられている実装用半田ボール端子（配線の共通端子）7と実装基板9の半導体装置実装用ランド9Aとを電気的に接続して前記実装基板9に実装される。

【0024】次に、本実施例1の半導体装置の製造方法について説明する。図3は前記可撓性配線基板2の配線構成を示す表平面図、図4は前記可撓性配線基板2の配線構成を示す裏平面図、図5は前記可撓性配線基板2上面に半導体チップ1を搭載した状態を示す全体平面図、図6は図5の側面図、図7は1個の半導体チップ1を前記可撓性配線基板2上面に搭載した状態を示す断面図、図8は前記ショートカット配線基板8A、8Bの一方の配線基板8Aと他方の配線基板8Bの配線構成を示す平面図、図9は前記ショートカット配線基板8A、8Bの一方の配線基板8Aを前記可撓性配線基板2の配線に接続した状態を示す図である。

【0025】図3～図9において、1は半導体チップ（ICチップ）、1Aは半導体チップの外部電極（パッド上のAuバンプ）、2は可撓性配線基板（フレキシブル配線基板）、2Aは折り曲げ部、3は配線、4はショートカット配線接続用Auバンプ、5はビア、6は半導体チップ搭載用ランド、7は実装用半田ボール端子（共通配線外部端子）、8A、8Bはショートカット配線基板、8A1、8B1はショートカット配線ランド、9は実装基板、9Aは実装基板上の半導体装置実装用ランド、10は封止材、11はフレキシブル基板テープ、12は絶縁膜（保護膜）である。

【0026】まず、図3に示すような可撓性配線基板（フレキシブル配線基板）2を製造する。前記可撓性配線基板（フレキシブル配線基板）2の製造は、図3に示すように、フレキシブル基板テープ11に配線を形成し、その上に絶縁膜（保護膜）12を被覆する。この配線が形成されたフレキシブル基板テープ11の裏正面に、半導体チップ1の同一機能の半導体チップ搭載用ランド6を接続する配線3、半導体チップ1の同一機能の半導体チップ搭載用ランド6を接続するショートカット配線接続用Auバンプ4、前記配線3を通すビア5、及び半導体チップ搭載用ランド6をそれぞれ所定位置に形成する。前記フレキシブル基板テープ11の裏正面には、図4に示すように、半導体チップ1の同一機能の半導体チップ搭載用ランド6を接続する配線3及びショートカット配線接続用Auバンプ4並びに実装用半田ボール端子（共通配線外部端子）7を形成する。

【0027】本実施例1の半導体装置の製造方法は、前記図3に示すような可撓性配線基板（フレキシブル配線

基板）2を用意する。次に、図5及び図6に示すように、前記可撓性配線基板2の表正面に所定の間隔で形成された半導体チップ搭載用ランド6上に、半導体チップの外部電極（パッド上のAuバンプ）1Aを電気的に接続して複数の半導体チップ（ICチップ）1を搭載する。すなわち、半導体チップ（ICチップ）1は、図7に示すように、半導体チップ搭載用ランド6と外部電極（パッド上のAuバンプ）1Aとを電気的に接続し、その接続部を封止材（封止樹脂）10で封止する。

【0028】前記複数の半導体チップ1が搭載された前記可撓性配線基板2の前記折り曲げ部2Aで、図6に示す矢印方向に折り曲げられて、前記可撓性配線基板2の表正面に搭載された隣合せの半導体チップ1が背中合わせに重ね合せ、接着材（又は接着テープ）2Bで固定する。さらに、前記可撓性配線基板2の前記折り曲げ部2Aで折り曲げて、ショートカット配線接続用Auバンプ4とショートカット配線接続用ランド4Aとを接続し、次の1組の積層体を積層する。このようにして複数組の積層体を構成する。

【0029】前記複数組の積層体の前記各積層体の同一機能の配線を、図9に示すように、まず、図8(a)に示すショートカット配線基板8Aで左側の積層体の同一機能の配線のショートカット配線接続用Auバンプ4を電気的に接続し、次に、図8(b)に示すショートカット配線基板8Bのショートカット配線ランド8B1と右側の積層体の同一機能の配線のショートカット配線接続用Auバンプ4を電気的に接続する。これにより前記可撓性配線基板2の配線長をショートカットすることができる。このようにして、図1に示すような半導体装置100を完成する。前記半導体装置100は、図2に示すように、前記積層体の同一機能の配線の共通端子である実装用半田ボール端子（配線の共通端子）7と実装基板9上の半導体装置実装用ランド9Aとを電気的に接続する。

【0030】以上説明したように本実施例1によれば、折り曲げ可能な可撓性配線基板2を用い、前記各積層体の同一機能の配線をショートカット配線基板8A、8Bで電気的に接続して、前記可撓性配線基板2の配線長をショートカットするので、配線長による信号遅延を防止することができる。また、配線基板を折り畳んで立体構造（三次元）にした半導体装置において、前記各積層体の同一機能の配線をショートカット配線基板8A、8Bにより積層体内部の熱の放熱効率を向上させることができる。また、実装用半田ボール端子部以外の基板の両面にICチップを両面実装することも可能である。

【0031】(実施例2) 図10は本発明の実施例2の半導体装置の概要構成を示す正面図であり、図11は本実施例2の半導体装置を実装基板に実装した正面図である。本実施例2の半導体装置は、前記実施例1のショートカット配線基板8A、8Bを省略した実施例である。

すなわち、図10に示すように、折り曲げ部2Aを有する可撓性配線基板2の表主面に所定の間隔で複数の半導体チップ（ICチップ）1が搭載され、前記可撓性配線基板2の前記折り曲げ部2Aで折り曲げられて、前記可撓性配線基板2の表主面（第1主面）に搭載された隣合せの半導体チップ2が背中合わせに重ね合わされ、接着材（又は接着テープ）2Bで固定される。さらに、前記可撓性配線基板2の前記折り曲げ部2Aで折り曲げられて、ショートカット配線接続用Auバンプ4とショートカット配線接続用ランド4Aとを接続し、次の1組の積層体が積層される。このようにして複数組の積層体が構成される。該複数組の積層体の前記各積層体の同一機能の配線のショートカット配線接続用ランド4Aとショートカット配線接続用Auバンプ4とを電気的に接続して前記可撓性配線基板2の配線長をショートカットする。

【0032】図11に示すように、本実施例2の半導体装置200は、前記可撓性配線基板2の裏主面（第2主面）に設けられている実装用半田ボール端子（配線の共通端子）7と実装基板9の半導体装置実装用ランド9Aとを電気的に接続して前記実装基板9に実装される。

【0033】次に、本実施例2の半導体装置の製造方法について説明する。図12は前記可撓性配線基板2の配線構成を示す表平面図、図13は前記可撓性配線基板2の配線構成を示す裏平面図、図14は前記可撓性配線基板2上に半導体チップ1を搭載した状態を示す全体平面図、図15は図14の側面図、図16は1個の半導体チップ1を前記可撓性配線基板2の表主面に搭載した状態を示す断面図、図17は前記半導体チップ1を搭載された可撓性配線基板2を折り曲げて前記半導体チップ1を積層する状態を示す図、図18は前記可撓性配線基板2の折り曲げ部で折り曲げてショートカット用配線を接続した状態の拡大断面図である。

【0034】図10～図18において、1は半導体チップ（ICチップ）、1Aは半導体チップの外部電極（パッド上のAuバンプ）、2は可撓性配線基板（フレキシブル配線基板）、2Aは折り曲げ部、3は配線、4はショートカット配線接続用Auバンプ、4Aはショートカット配線接続用ランド、5はピア、6は半導体チップ搭載用ランド、7は実装用半田ボール端子（共通配線外部端子）、9は実装基板、9Aは実装基板上の半導体装置実装用ランド、10は封止材、11はフレキシブル基板テープ、12は絶縁膜（保護膜）である。

【0035】まず、図12に示すような可撓性配線基板（フレキシブル配線基板）2を製造する。前記可撓性配線基板（フレキシブル配線基板）2の製造は、図12に示すように、フレキシブル基板テープ11の表主面（第1主面）に配線を形成し、その上に絶縁膜（保護膜）12を被覆する。この配線が形成されたフレキシブル基板テープ11の表主面に、半導体チップ1の同一機能の半導体チップ搭載用ランド6を接続する配線3、半導体チ

ップ1の同一機能の半導体チップ搭載用ランド6を接続するショートカット配線接続用ランド4Aとショートカット配線接続用Auバンプ4、前記配線3を通すピア5、及び半導体チップ搭載用ランド6をそれぞれ所定位置に形成する。前記フレキシブル基板テープ11の裏主面（第2主面）には、図13に示すように、半導体チップ1の同一機能の半導体チップ搭載用ランド6を接続する配線3ショートカット配線接続用ランド4A、及びショートカット配線接続用Auバンプ4並びに実装用半田ボール端子7を形成する。

【0036】本実施例2の半導体装置の製造方法は、前記図12に示すような可撓性配線基板（フレキシブル配線基板）2を用意する。次に、図14及び図15に示すように、前記可撓性配線基板2の表主面に所定の間隔で形成された半導体チップ搭載用ランド6上に複数の半導体チップ（ICチップ）1を搭載する。半導体チップ（ICチップ）1は、図16に示すように、半導体チップ搭載用ランド6と外部電極（パッド上のAuバンプ）1Aとを電気的に接続し、その接続部を封止材（封止樹脂）10で封止する。

【0037】前記複数の半導体チップ1が搭載された前記可撓性配線基板2の前記折り曲げ部2Aで折り曲げられて、図17に示すように、前記可撓性配線基板2の表主面に搭載された隣合せの半導体チップ2が背中合わせに重ね合せ、接着材（又は接着テープ）2Bで固定する。さらに、図17に示すように、前記可撓性配線基板2の前記折り曲げ部2Aで折り曲げて、ショートカット配線接続用Auバンプ4とショートカット配線接続用ランド4Aとを接続し、次の1組の積層体を積層する。このようにして複数組の積層体を構成する。

【0038】前記折り曲げ部の構成を図18（a）、（b）に示す。前記複数組の積層体の前記各積層体の同一機能の配線をショートカット配線部2Cで電気的に接続して前記可撓性配線基板2の配線長をショートカットして、図10に示すような半導体装置200を完成する。この半導体装置200は、図11に示すように、前記積層体の同一機能の配線の共通配線外部端子である実装用半田ボール端子7と実装基板9上の半導体装置実装用ランド9Aとを電気的に接続する。

【0039】以上説明したように、本実施例2によれば、折り曲げ可能な可撓性配線基板2を用い、前記各積層体の同一機能の配線をショートカット配線部で電気的に接続して、前記可撓性配線基板2の配線長をショートカットするので、配線長による信号遅延を防止することができる、また、配線基板を折り畳んで立体構造（三次元）にした半導体装置において、前記各積層体の同一機能の配線をショートカット配線部により積層体内部の熱の放熱効率を向上させることができる。また、実装用半田ボール端子部以外の基板の両面にICチップを両面実装することも可能である。

【0040】(実施例3) 本発明の実施例3の半導体装置(300 or 400)は、前記実施例2と同様に前記実施例1のショートカット配線基板8を省略した別の実施例である。前記実施例1、2と同様にして、図19又は図20に示すような折り畳み構造にしたもの(300 or 400)である。この製造方法は、前記実施例1、2と同様にして製造することができる。

【0041】(実施例4) 図21は本発明の実施例4の半導体装置の概要構成を示す平面図、横断面図及び縦断面図であり、図22は本実施例4の半導体装置を実装基板に実装した横断面図である。本実施例4の半導体装置は、図21に示すように、四つ折り曲げ部2Aを有するフレキシブル配線基板63の表正面(第1正面)に所定の間隔で複数の半導体チップ(ICメモリチップ)1が搭載され、前記フレキシブル配線基板63の前記折り曲げ部で二つ折りに曲げられて、前記フレキシブル配線基板63の表正面に搭載された隣合せの半導体チップ1が背中合わせに重ね合わされ、接着材(又は接着テープ)で固定される。さらに、前記フレキシブル配線基板63の前記四つ折り曲げ部で四つ折りに曲げられて、次の1組の積層体が積層される。このようにして複数組の積層体が構成される。該複数組の積層体の前記各積層体の同一機能の配線のショートカット配線接続用ランド61とショートカット配線接続用半田ボール端子62とを電気的に接続して前記フレキシブル配線基板63の配線長をショートカットされる。前記フレキシブル配線基板63の中央部には折り曲げストレス緩和用抜き穴26が設けられている。

【0042】本実施例4の半導体装置500は、図22に示すように、前記フレキシブル配線基板63の裏正面(第2正面)に設けられている実装用半田ボール端子(配線の共通端子)7と実装基板9の半導体装置実装用ランド9Aとを電気的に接続されて前記実装基板9に実装される。

【0043】次に、本実施例4の半導体装置の製造方法について説明する。図23は前記フレキシブル配線基板63の配線構成を示す表平面図、図24は前記フレキシブル配線基板63の配線構成を示す裏平面図、図25は前記フレキシブル配線基板63上に半導体チップ1を搭載した状態を示す全体平面図、図26は図25の側面図、図27は1個の半導体チップ1を前記フレキシブル配線基板63上に搭載した状態を示す断面図、図28は前記半導体チップ1を搭載されたフレキシブル配線基板63を二つ折りに曲げた平而図、横断面図、及び縦断面図、図29は前記半導体チップ1を搭載されたフレキシブル配線基板63を四つ折りに曲げた平面図である。

【0044】図21～図29において、1は半導体チップ(ICチップ)、1Aは半導体チップの外部電極(パッド上のAuバンプ)、2は配線、6は半導体チップ搭載用ランド、7は実装用半田ボール端子(共通配線外部

端子)、9は実装基板、9Aは実装基板上の半導体装置実装用ランド、10は封止材、12は絶縁膜(保護膜)、5はビア、17は微小(ビルドアップ)ビア、26は折曲げストレス緩和用抜き穴、61はショートカット接続配線用ランド、62はショートカット配線用半田ボール端子、63はポリイミドテープに配線を形成したフレキシブル配線基板(可撓性配線基板)である。

【0045】まず、図21に示すようなフレキシブル配線基板63を製造する。前記フレキシブル配線基板63の製造は、図23及図24に示すように、フレキシブル配線基板63の配線を形成し、その上に絶縁膜(保護膜)を被覆する。このフレキシブル配線基板63の表正面(第1正面)に、半導体チップ1の同一機能の半導体チップ搭載用ランドを接続する配線3、半導体チップ1の同一機能の半導体チップ搭載用ランドを接続するショートカット配線接続用ランド61、ショートカット配線用半田ボール端子62バンプ、及び半導体チップ搭載用ランド6をそれぞれ所定位置に形成する。前記フレキシブル配線基板63の裏正面(第2正面)には、図24に示すように、半導体チップ1の同一機能の半導体チップ搭載用ランドを接続する配線3、ショートカット配線接続用ランド61、及びショートカット配線接続用Auバンプ62、並びに実装用半田ボール端子7を形成する。

【0046】本実施例4の半導体装置の製造方法は、前記図23及び図24に示すようなフレキシブル配線基板63を用意する。次に、図25及び図26に示すように、前記フレキシブル配線基板63の表正面に所定の間隔で形成された半導体チップ搭載用ランド上に複数の半導体チップ(ICチップ)1を搭載する。半導体チップ1は、図27に示すように、半導体チップ搭載用ランドと外部電極(パッド上のAuバンプ)1Aとを電気的に接続し、その接続部を封止材(封止樹脂)で封止する。

【0047】また、多層配線を必要とされる場合は、前記図27に示すように、フレキシブル配線基板63にビルドアップ方式等を部分的に使用することで、高度な配線の可能な多層配線部(図左端より中央部右の最も薄い部分手前まで及び右端の厚くなっている部分)と片面あるいは両面の単層配線で折り曲げ可能な部位(前記多層配線部に挟まれた最も薄い部分)の共存するフレキシブル配線基板63が作成可能となる。

【0048】前記複数の半導体チップ1が搭載された前記フレキシブル配線基板63の前記折り曲げ部2Aで二つ折りに曲げられて、図28に示すように、前記フレキシブル配線基板63の表正面に搭載された隣合せの半導体チップ1が背中合わせに重ね合せ、接着材(又は接着テープ)で固定する。さらに、図29に示すように、前記フレキシブル配線基板63の前記折り曲げ部2Aで四つ折りに曲げて、次の1組の積層体を積層する。このようにして前記図21に示すような半導体チップ1が背中

合わせに重ね合せた複数組の積層体を構成する。前記複数組の積層体の前記各積層体の同一機能の配線をショートカットさせる短絡電極で電気的に接続して前記フレキシブル配線基板63の配線長をショートカットする。

【0049】本実施例4の半導体装置500は、図22に示すように、前記フレキシブル配線基板63の裏主面(第2主面)に設けられている共通端子である実装用外部電極7と実装基板9の半導体装置実装用ランド9Aとを電気的に接続して前記実装基板9に実装される。なお、折曲げストレスが大きくなる場合は折り曲げストレス緩和用抜き穴26を設けなくてもよい。また、実装用半田ボール端子部以外の基板の両面にICチップを両面実装することも可能である。

【0050】(実施例5)図30は本発明の実施例5の半導体装置の吸熱パッドをパッケージ内に収納した状態の概要構成を示す断面図、図31は図30の吸熱パッドをパッケージ内に収納した状態の概要構成を示す平面図、図32は図30の吸熱パッドによる冷却機構の概要構成を示す模式図である。

【0051】図30～図32において、1は半導体チップ(ICチップ)、1Aは半導体チップの外部電極(パッド上のAUBアンプ)、7は実装用半田ボール端子(共通配線外部端子)、26は折曲げストレス緩和用抜き穴、61はショートカット配線接続用ランド、62はショートカット配線接続用半田ボール端子、63はポリイミドテープ(フレキシブル基板)、64は吸熱パット、65はパイプ、66は水路、67はファン、68は放熱部(ラジエーター)、69は放熱フィン、70は冷却液循環ポンプ、71は折り畳み積層パッケージ、72は熱伝導接着テープである。

【0052】本発明の実施例5の半導体装置は、前記実施例のような蛇腹折りや二つ折り、三つ折りの以外に十字折りのある折曲げ積層化ができる例であり、図30及び図31に示すように、フレキシブル配線基板63(可撓性配線基板)を四つ折りにして半導体チップ1を積層するものである。そして、十字に折られてストレスの集中するフレキシブル配線基板63の中央部に折り曲げストレス緩和用抜き穴26が設けられたものである。

【0053】すなわち、四つ折り曲げ部と中央部に折り曲げストレス緩和用抜き穴26を有し、複数の半導体チップ1が表面に所定の間隔で搭載可能なフレキシブル配線基板63と、該フレキシブル配線基板63の前記二つ折り曲部で折り曲げられて前記フレキシブル配線基板63の表面に搭載された半導体チップ1が背中合わせで重ね合わされた複数組の積層体とを備えた半導体装置であって、前記フレキシブル配線基板63の表主面に所定位置に複数の半導体チップ(ICメモリチップ)1が搭載され、前記可撓性配線基板2の前記折り曲部2Aで四つ折りに曲げられて、前記フレキシブル配線基板63の表主面に搭載された半導体チップ1が背中合わせに重ね合

わされ、接着材(又は接着テープ)2Bで固定される。さらに、前記フレキシブル配線基板63の前記折り曲部2Aで四つ折り曲げられて、次の1組の積層体が積層されている。このようにして複数組の積層体が構成されている。

【0054】前記フレキシブル配線基板63に用いられる可撓性テープ基材の厚さは、例えば、75μm、Cu配線の厚さは35μmである。該複数組の積層体の前記各積層体の同一機能の配線をショートカットさせる短絡電極で電気的に接続して前記フレキシブル配線基板63の配線長をショートカットする。

【0055】また、図30及び図31に示すように、前記半導体チップが重ね合わされた積層体間に吸熱パット(冷却路)64が設けられている。前記吸熱パット(冷却路)64は、図30及び図31に示すように、水路66が形成されたものである。この吸熱パット(冷却路)64は、折り畳み積層パッケージ71の前記半導体チップが重ね合わされた積層体間に、熱伝導接着テープ72により固定されている。

【0056】また、前記吸熱パット64は、ICパッケージ等に使用される絶縁セラミックス等の内部に水路66を持つものである。前記水路66はパイプ65を通じて放熱部68につながっており、内部は水等の液体を充填してある。吸熱パット64の取り付けには熱伝導接着テープ72を使用するが、より高性能を狙ってシリコングリス+接合材を使用してもよい。冷却液循環ポンプ70で強制的に内部の液体を循環させ、吸熱パット64で吸収した熱を循環する液体を媒介してパイプ65を通して放熱部68に送りファン67で強制冷却する。放熱部68で冷された液体はパイプ65を通して再び吸熱パット64に送られる。他にもヒートパイプや放熱板等を挟み込んだり、ヒートシンクを取り付けることもよい。

【0057】また、多層配線を必要とする場合は、前述した図27に示すようにして、フレキシブル配線基板63にビルトアップ方式等を部分的に使用することで、高度な配線の可能な多層配線部(図左端より中央部右の最も薄い部分手前まで及び右端の厚くなっている部分)と片面あるいは両面の単層配線で折り曲げ可能な部位(前記多層配線部に挟まれた最も薄い部分)の共存するフレキシブル配線基板63を作成する。

【0058】前記ビルトアップ多層配線部は、ポリイミドテープ(フレキシブル基板)63の上に銅等の導電性物質で配線3を作り、絶縁感光性樹脂18を積み、露光により微小(ビルトアップ)ビア17を開けながら他の部分を硬化させ絶縁層として上に銅等の導電性物質で配線3を作りこんでいくため、単層配線で折り曲げ可能な部位も微小(ビルトアップ)ビア17と同様の方法で製造可能となる。

【0059】実施例1～5では、AUBアンプによるベニアチップ実装による製造方法で説明しているが、他にワイ

ヤーボンディングやビームリード等他の製造方法も可能なのは言うまでもない。また、前記実施例では半導体装置及びその製造方法について説明したが、本発明は、半導体モジュール及びその製造方法にも適用できることは前記説明から明らかである。

【0060】以上、本発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0061】

【発明の効果】本願において開示される発明によって得られる効果を簡単に説明すれば、以下のとおりである。本願発明によれば、可撓性配線基板を折り畳んで立体構造（三次元）にした半導体装置もしくは半導体モジュールにおいて、配線をショートカットさせる短絡電極で電気的に接続して配線長をショートカットするので、配線長による信号遅延を防止することができる。また、前記半導体チップが重ね合わされた積層体間に吸熱パッド（冷却路）が設けられているので、放熱効率を向上することができる。

【図面の簡単な説明】

【図1】本発明の実施例1の半導体装置の概要構成を示す正面図である。

【図2】本実施例1の半導体装置を実装基板に実装した正面図である。

【図3】本実施例1の可撓性配線基板の配線構成を示す表平面図である。

【図4】本実施例1の可撓性配線基板の配線構成を示す裏平面図である。

【図5】本実施例1の可撓性配線基板上に半導体チップを搭載した状態を示す全体平面図である。

【図6】図5の側面図である。

【図7】本実施例1の1個の半導体チップを可撓性配線基板上に搭載した状態を示す断面図である。

【図8】本実施例1のショートカット配線基板の一方の配線基板と他方の配線基板の配線構成を示す平面図である。

【図9】本実施例1のショートカット配線基板の一方の配線基板を可撓性配線基板の配線に接続した状態を示す図である。

【図10】本発明の実施例2の半導体装置の概要構成を示す正面図である。

【図11】本実施例2の半導体装置を実装基板に実装した正面図である。

【図12】本実施例2の可撓性配線基板2の配線構成を示す表平面図である。

【図13】本実施例2の可撓性配線基板の配線構成を示す裏平面図である。

【図14】本実施例2の可撓性配線基板上に半導体チップを搭載した状態を示す全体平面図である。

【図15】図14の側面図である。

【図16】本実施例2の1個の半導体チップ可撓性配線基板上に搭載した状態を示す断面図である。

【図17】本実施例2の半導体チップを搭載された可撓性配線基板を折り曲げて半導体チップを積層する状態を示す図である。

【図18】本実施例2の可撓性配線基板の折り曲げ部で折り曲げてショートカット用配線を接続した状態の拡大断面図である。

【図19】本発明の実施例3の半導体装置の概要構成を示す正面図、平面図及び側面図である。

【図20】本発明の実施例3の半導体装置の概要構成を示す正面図である。

【図21】本発明の実施例4の半導体装置の概要構成を示す平面図、横断面図及び縦断面図である。

【図22】本実施例4の半導体装置を実装基板に実装した横断面図である。

【図23】本実施例4の可撓性配線基板の配線構成を示す表平面図である。

【図24】本実施例4の可撓性配線基板の配線構成を示す裏平面図である。

【図25】本実施例4の可撓性配線基板上に半導体チップを搭載した状態を示す全体平面図である。

【図26】図25の側面図である。

【図27】本実施例4の1個の半導体チップを前記可撓性配線基板上に搭載した状態を示す断面図（多層配線使用時のもの）である。

【図28】本実施例4の半導体チップを搭載された可撓性配線基板を二つ折りに曲げた平面図、横断面図、及び縦断面図である。

【図29】本実施例4の半導体チップを搭載された可撓性配線基板を四つ折りに曲げた平面図である。

【図30】本発明の実施例5の半導体装置の吸熱パッドをパッケージ内に収納した状態の概要構成を示す断面図である。

【図31】本実施例5の吸熱パッドをパッケージ内に収納した状態の概要構成を示す平面図である。

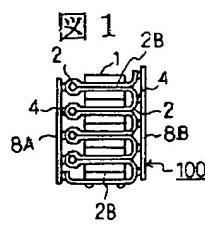
【図32】本実施例5の吸熱パッドによる冷却機構の概要構成を示す模式図である。

【符号の説明】

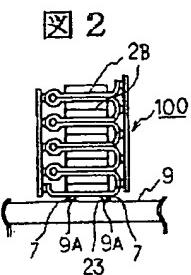
1…半導体チップ（ICチップ）	1 A…半導体チップの外部電極
2…可撓性配線基板	2 A…折り曲部
2 B…半導体チップ接着剤	2 C…ショートカット配線接続部
3…配線	3…ショートカット配線接続用A uバンプ
4…ショートカット配線接続用ランド	4…ショートカット配線接続用ランド
5…ビア	5…ビア
6…半導体チップ搭載用ランド	6…半導体チップ搭載用ランド

7…実装用半田ボール端子 アートカット配線基板	8 A, 8 B…ショ トカット配線接続用ランド	レス緩和抜き穴
9…実装基板	9 A…半導体装置	6 1…ショートカット配線接続用ランド
実装用ランド	11…フレキシブル ル基板テープ	6 2…ショートカット配線用半田ボール端子
10…封止材	17…微小(ビル ドアップ)ビア	6 3…フレキシブル配線基板
12…絶縁膜(保護膜) ドアップ)ビア	22…接着テープ	6 4…吸熱パット
18…絶縁感光性樹脂	26…折曲げスト	6 5…パイプ
23…半田		6 6…水路
		6 8…放熱部(ラジエーター)
		7 0…冷却液循環ポンプ
		7 1…折り畳み積 層パッケージ
		7 2…熱伝導接着テープ

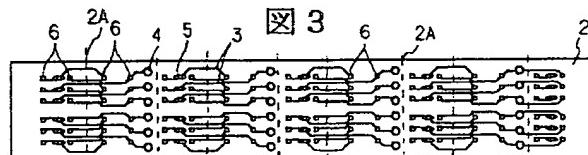
【図1】



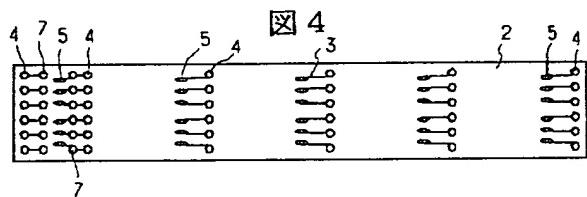
【図2】



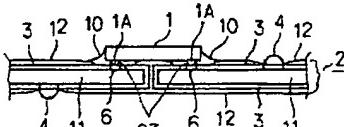
【図3】



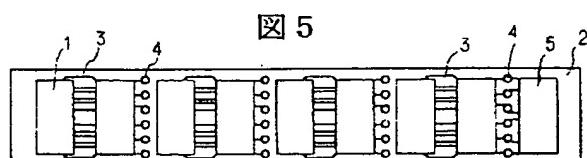
【図4】



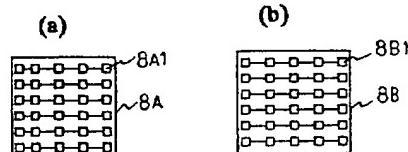
【図7】



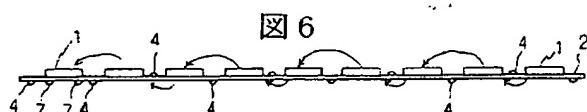
【図5】



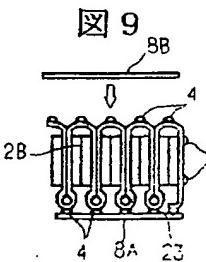
【図8】



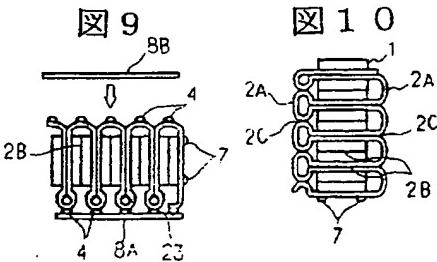
【図6】



【図9】

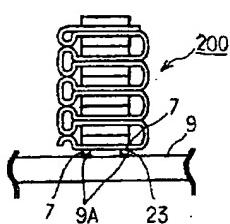


【図10】



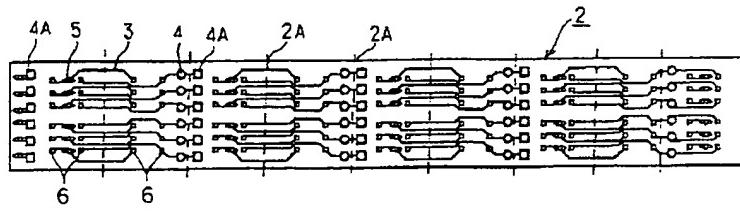
【図11】

図11



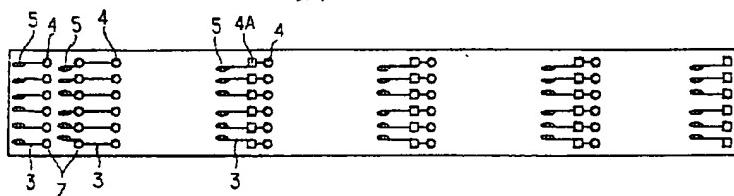
【図12】

図12



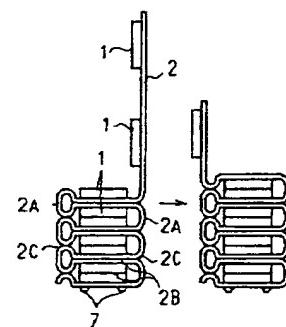
【図13】

図13



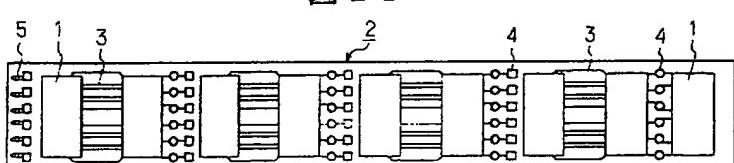
【図17】

図17



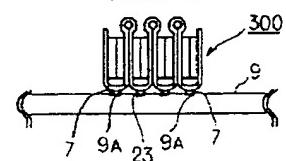
【図14】

図14



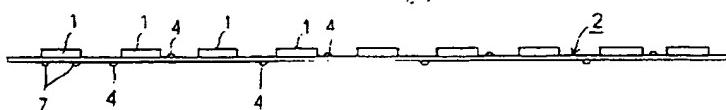
【図19】

図19



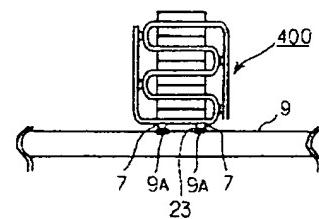
【図15】

図15



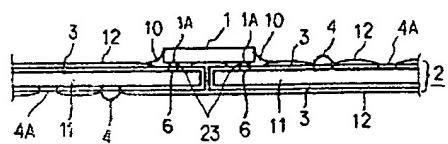
【図20】

図20



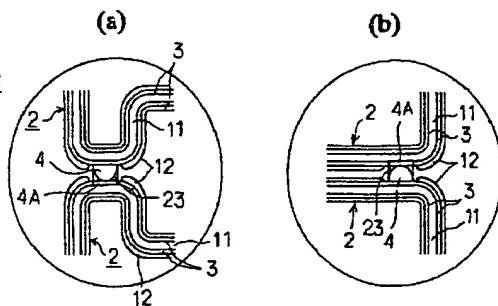
【図16】

図16



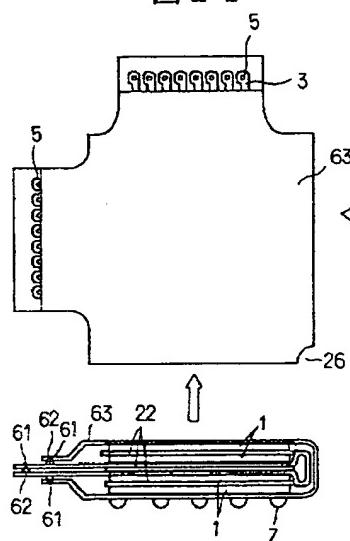
【図18】

図18



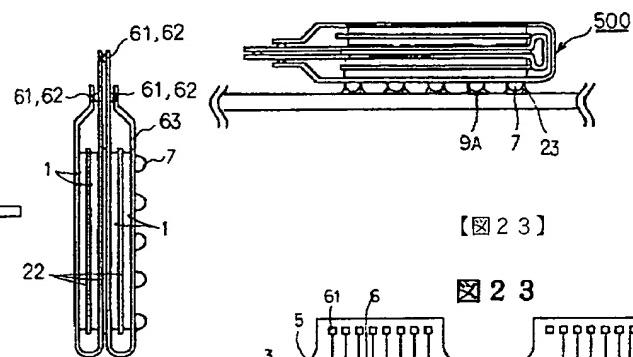
【図21】

図21

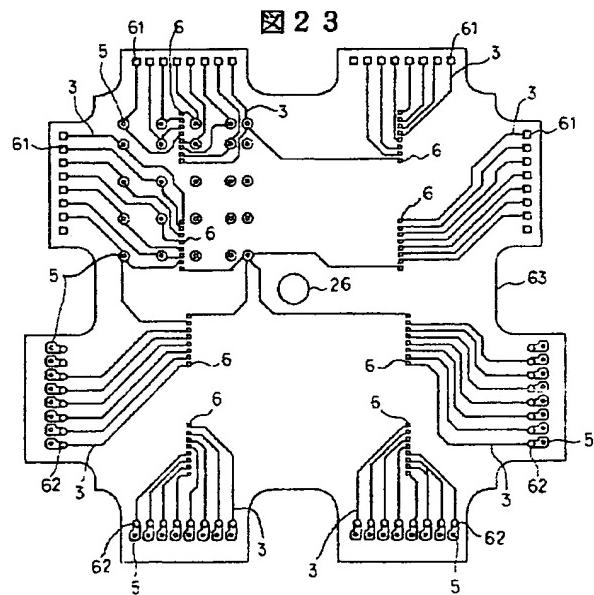


【図22】

図22

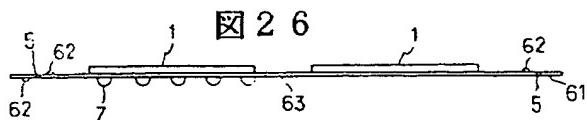


【図23】

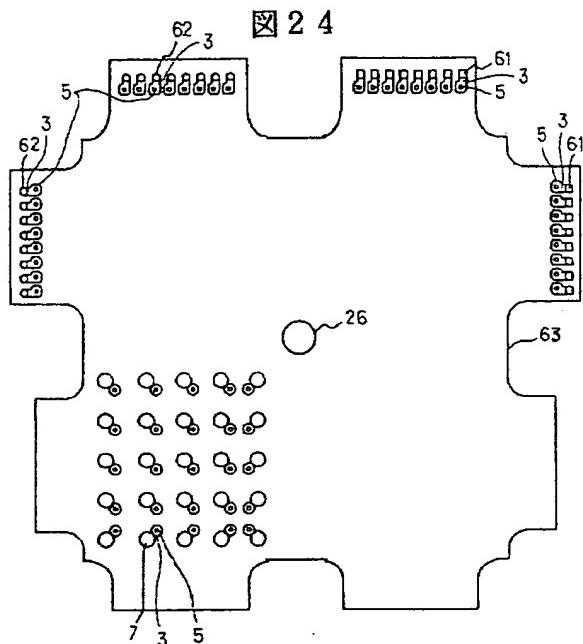


【図26】

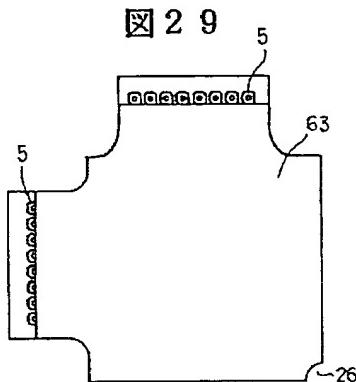
図26



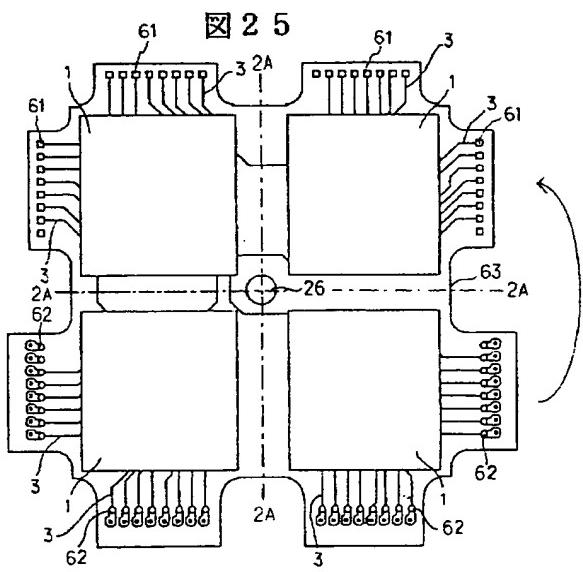
【図24】



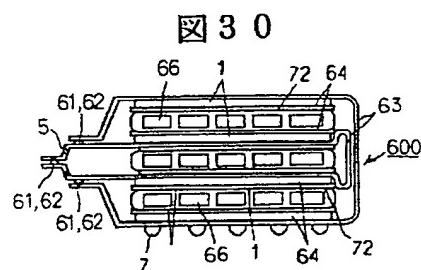
【図29】



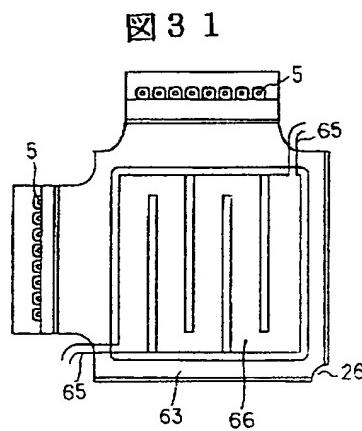
【図25】



【図30】

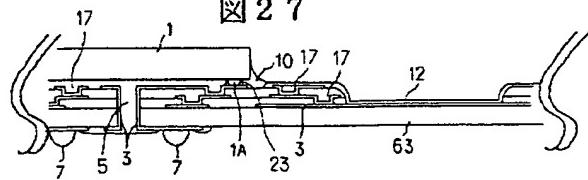


【図31】



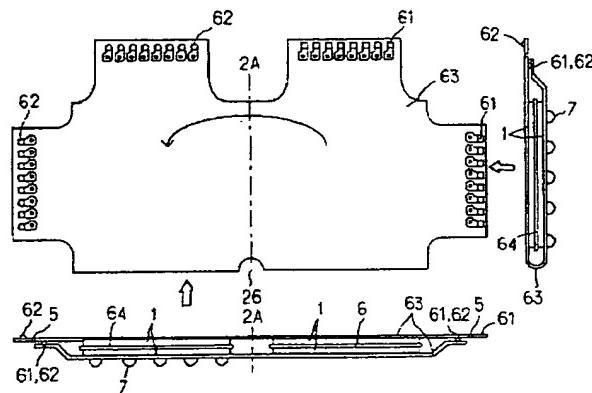
【図27】

図27



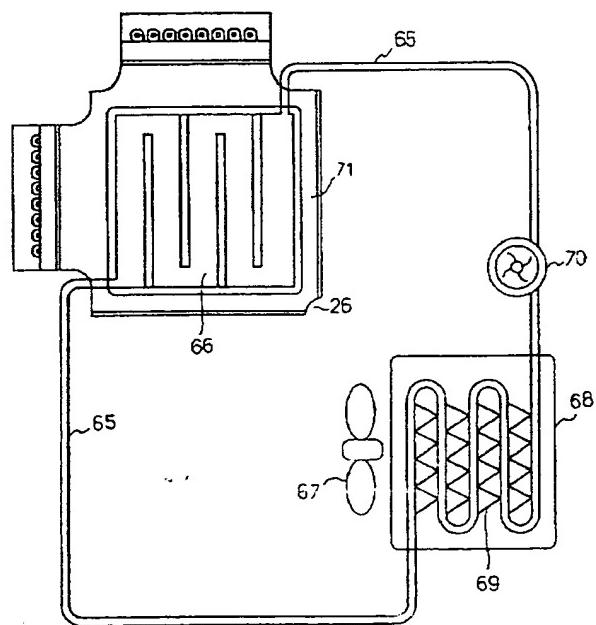
【図28】

図28



【図32】

図32



フロントページの続き

(51)Int.C1.7	識別記号	F I	マークコード(参考)
H 0 1 L 25/07		H 0 1 L 25/08	Z
25/18		23/46	Z
H 0 5 K 1/02			C
1/14			
1/18			

F ターム(参考) 5E336 AA04 AA16 BB02 BB05 BB12
BC21 CC31 CC55 DD16 DD18
EE07 GG03 GG11
5E338 AA02 AA12 BB13 BB25 BB51
BB54 CC01 EE02 EE13 EE14
EE23
5E344 BB02 BB03 BB04 CC25 DD16
EE02 EE06 EE30
5F036 AA01 BB21 BB35 BB43 BC05
5F044 MM16 MM50 NN02 RR03